

37. Dvojčinný klopný obvod JK s UCY 7476

1. Zadání úlohy:

Realizujte dvojčinný synchronní R-S klopný obvod J-K pomocí obvodu UCY 7476.

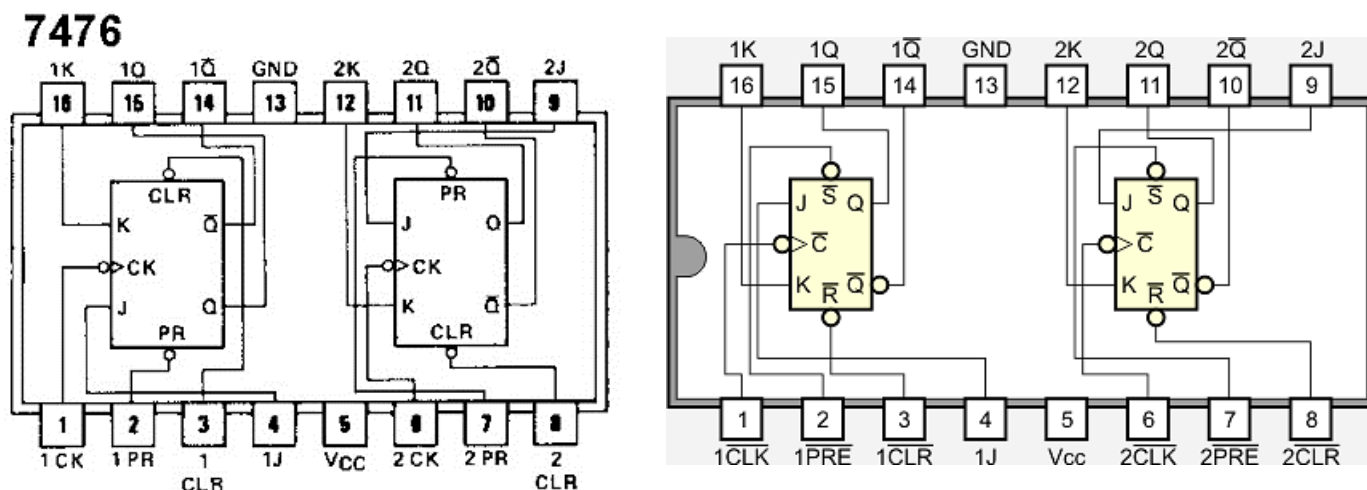
2. Seznam použitých součástek:

1. nepájivé propojovací pole	Bread Board	ZY-204
2. napájecí modul kontaktního pole	Yw Robot, 5 V/3,3 V	Sp
3. tlačítko	mechanický kontakt	S1, J
4. tlačítko	mechanický kontakt	S2, C
5. tlačítko	mechanický kontakt	S3, K
6. tlačítko	mechanický kontakt	S4, S
7. tlačítko	mechanický kontakt	S5, R
8. rezistor	1 k Ω	R1, R2, R3, R4
9. rezistor	220 Ω	R5, R6, R7
10. LED dioda	LQ	D1, Q
11. LED dioda	LQ	D2, NonQ
12. LED dioda	LQ	D3, NonC
13. integrovaný obvod	UCY 7476, klopný obvod JK	

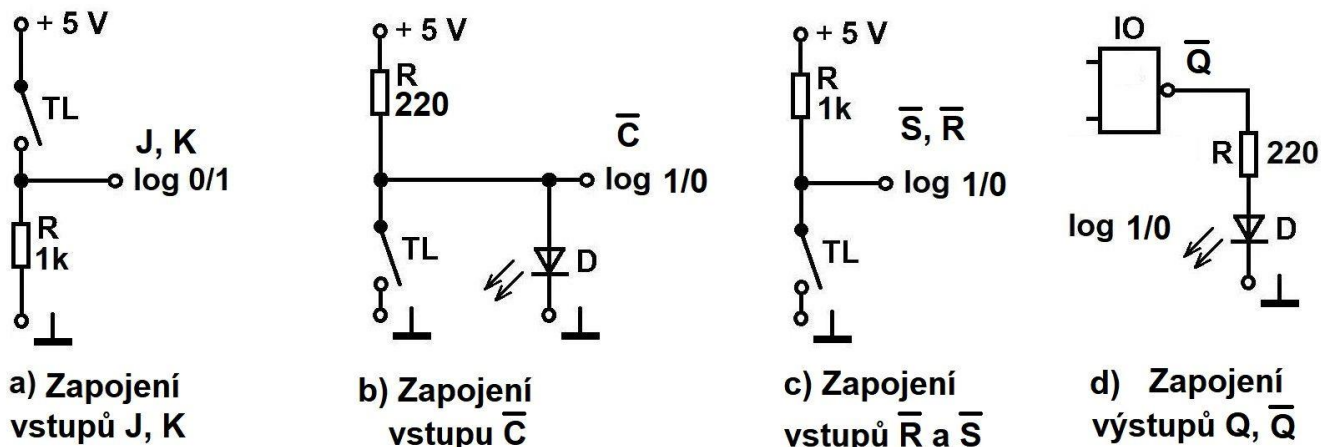
3. Teoretický rozbor:

Synchronní klopný obvod typu J-K (Master – Slave) je nejpoužívanější. Toto řešení je zvoleno proto, aby zpětné vazby nebyly účinné během synchronizačního impulsu (mohlo by dojít k nekontrolovatelnému kmitání). Výstupem tohoto zapojení je výstup z "podřízeného" klopného obvodu (Slave). Vstupy tohoto podřízeného klopného obvodu jsou řízeny výstupy z hlavního klopného obvodu (Master). Vstupy J a K tohoto zapojení určují stav hlavního klopného obvodu. Hodinový signál je přiváděn do obou částí zapojení, pro podřízený obvod je však invertován. Při C=1 se informace zapamatovává prvním klopným obvodem (Master). Podřízený klopný obvod ovšem po tuto dobu nebude reagovat na výstupy hlavního obvodu, protože na jeho vstup hodin se přivádí signál invertovaný. Zůstane-li na nějakou chvíli hodinový signál na úrovni H, ustálí se stav hlavního obvodu, zatímco podřízený obvod bude nadále blokován a nebude reagovat na stav výstupů hlavního obvodu. Při přechodu hodinového signálu C z 1 do 0 se první klopný obvod oddělí od vstupu a přestane reagovat na stav svých J, K vstupů. Invertovaný hodinový signál na vstupu podřízeného klopného obvodu způsobí, že zareaguje na stav výstupů Q a NonQ hlavního klopného obvodu. Informace se objeví na výstupu J-K klopného obvodu a krátce po sestupné hraně vstupního hodinového impulsu se stav výstupů podřízeného obvodu ustálí. Hlavní klopný obvod nebude reagovat na změny svých vstupů J a K, dokud nepřijde nový pozitivní hodinový impuls. J-K klopné obvody se vyrábějí jako obvody typ u TTL.

4. Schéma zapojení:



Obr. 1: Schéma zapojení integrovaného obvodu JK UCY 7476



Obr. 2: Zapojení vstupních tlačítek a LED diod

5. Postup práce:

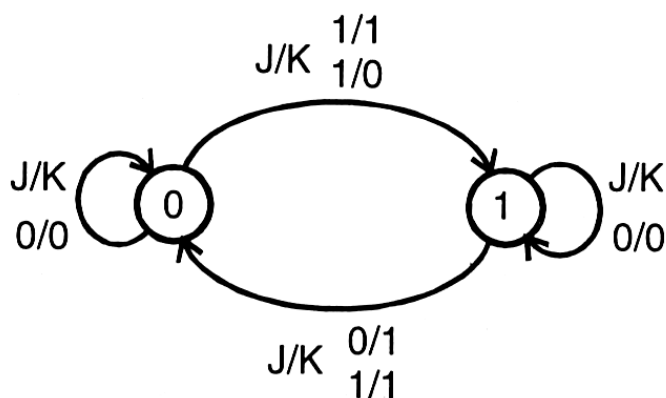
- Sestavte funkční schéma pomocí programu pro simulaci obvodu.
- Činnost klopného obvodu ověřte zapojením na nepájivém poli.
- Tlačítka S1, S2, S3, S4, S5 zadávejte vstupní kombinace a na diodách D1 a D2 sledujte výstupní hodnoty.
- Zakreslete do sešitu pravdivostní tabulku měřených logických členů a zkontrolujte správnost zapojení a činnost obvodu.
- Zakreslete do sešitu časový diagram přechodů JK klopného obvodu

6. Pravdivostní tabulka:

R	S	C	J	K	Q2	Q1
0	1	X	X	X	X	0
1	0	X	X	X	X	1
0	0	X	X	X	X	-
1	1	⌊	0	0	0	0
1	1	⌊	0	0	1	1
1	1	⌊	0	1	X	0
1	1	⌊	1	0	X	1
1	1	⌊	1	1	0	1
1	1	⌊	1	1	1	0

Tab. 1: Pravdivostní tabulka obvodu JK

7. Diagram přechodů:



Obr. 3: Diagram přechodů JK klopného obvodu